

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08008179 A**

(43) Date of publication of application: **12 . 01 . 96**

(51) Int. Cl.

H01L 21/20
H01L 21/268
H01L 21/324
H01L 29/786
H01L 21/336

(21) Application number: **06137418**

(22) Date of filing: **20 . 06 . 94**

(71) Applicant: **SHARP CORP**

(72) Inventor: **MITANI YASUHIRO**
NOMURA KATSUMI

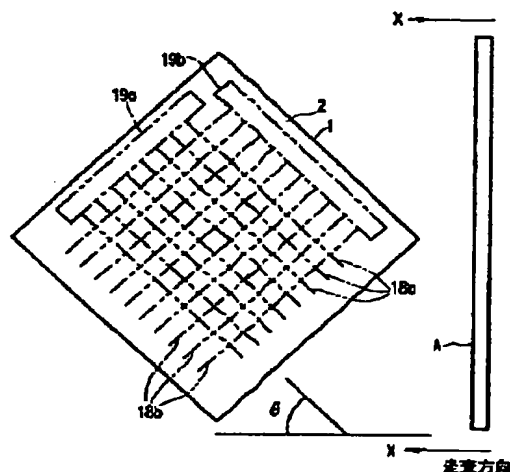
(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57) Abstract:

PURPOSE: To avoid the dispersion of property of TFT going along the gate bus wiring or source bus wiring even if irradiation energy disperses in the direction of scanning of a long beam by scanning an electron beam in the directions excluding the directions parallel and vertical to the direction of disposition of elements.

CONSTITUTION: An amorphous silicon layer (a-Si film) 2 is stacked on the surface of a glass board 1. Next, by the application of an ultraviolet ray from an excimer laser, the a-Si layer 2 is annealed to form a polycrystalline silicon layer. The annealing for crystallization is performed by relatively shifting the excimer laser and the stage of the board 1 so that the angle θ ; between the direction of the scanning of the long beam and the matrix wiring at completion of the board, in short, a gate bus wiring 18a or a source bus wiring 18b may be one excluding 0° and 90° , preferably, may be in the range of 30° to 60° or 120° to 150° .

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-8179

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/20
21/268
21/324
29/786

Z
D

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数2 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-137418

(22)出願日 平成6年(1994)6月20日

(71)出願人 00005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 三谷 康弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 野村 克己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

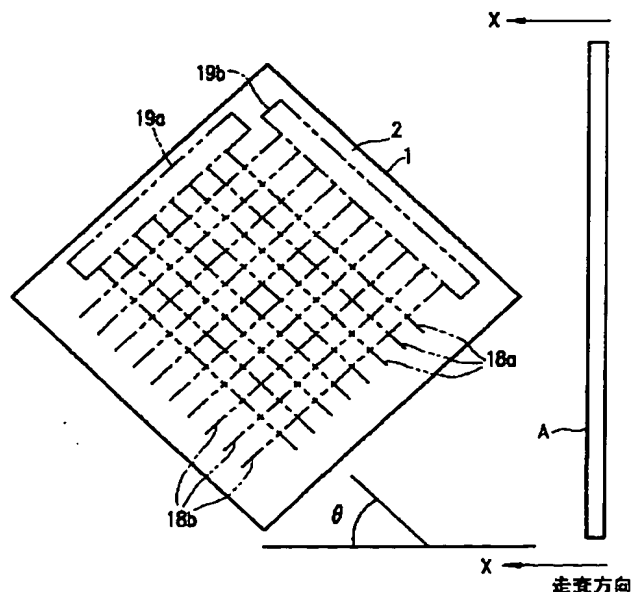
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 アニール処理を施した半導体層において、長尺ビームの走査方向に照射エネルギーのバラツキが生じても、T F T特性の不良が特定のゲートバス配線あるいは特定のソースバス配線に沿って集中するのを回避することができ、これにより上記アニール処理を施した半導体層を用いた高解像度の液晶パネルやイメージセンサなどにおいて、画像表示や読み取りをする上での不具合を解消できる半導体素子の製造方法を得る。

【構成】 基板1上の半導体層2を長尺ビームの照射によりアニールする際、該長尺ビームを、基板完成時のマトリクス配線の配置領域18a、18bに平行な方向及び垂直な方向以外の方向に走査する。



1

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成した多結晶または非晶質の半導体層をエネルギービームの照射によりアニールして、より大粒径の多結晶あるいは単結晶の半導体層を形成する工程と、

該アニール処理を施した半導体層に所望の素子を複数形成する工程とを含み、

該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行う半導体素子の製造方法。

【請求項2】 絶縁性基板上に形成された不純物を含む単結晶、多結晶または非晶質の半導体層を、エネルギービームの照射によりアニールして該半導体層の不純物を活性化する工程と、

該アニール処理を施した半導体層をコンタクト領域とする素子を複数形成する工程とを含み、

該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行う半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜プロセスにより半導体層を積層形成する工程を含む半導体素子の製造方法に関する。特に、本発明は、大面積基板上に形成した多結晶または非晶質半導体層上に紫外線を照射してアニールすることにより、大粒径の多結晶または単結晶からなる半導体層を得たり、上記アニールにより、不純物が活性化された単結晶、多結晶または非晶質からなる半導体層を得たりする際の紫外線の照射方法に関する。

【0002】

【従来の技術】近年、大型で高解像度の液晶パネルや、高速で高解像度の密着型イメージセンサへの要求が高まるにつれ、大面積の絶縁性基板上に高性能な薄膜トランジスタ(TFT)を均一に作製することが望まれている。

【0003】ここでTFTは、例えば、歪点温度は低いが安価で大面積化が容易なガラス基板上に多結晶半導体層を形成し、この多結晶半導体層の表面に、チャンネルが形成される半導体活性領域、低抵抗のソース及びドレイン電極、ゲート電極を各々形成して作製される。ところで、上記歪点温度が低いガラス基板を使用した場合、ガラス基板への熱ダメージを少なくする必要があるので、次のような方法で多結晶半導体層を得ていた。

【0004】1つは、ガラス基板上にアモルファスシリコン層(以下、a-Si層ともいう。)を堆積した後、これをエキシマレーザから照射される紫外線でアニールすることにより多結晶シリコン層(以下、poly-Si層ともいう。)を得る方法である。もう1つは、ガラ

2

ス基板上にa-Si層を堆積した後、これを熱拡散炉などによる固相成長によりpoly-Si層とし、エキシマレーザから照射される紫外線でアニールすることにより、大粒径のpoly-Si層を得る方法である。

【0005】上記エキシマレーザから照射される紫外線は、ビームホモジナイザー等を介することにより約10mm角のビームスポットとすることができるが、ガラス基板に比較して小さい。このため、図6に示すように、ガラス基板1上でエキシマレーザのビームスポット3を走査しつつ、レーザのパルス照射を連続して行つて、ガラス基板上に堆積された大面積の多結晶または非晶質半導体層2のアニール処理を行っていた。

【0006】その際、紫外線が照射されない部分が発生しないようにするため、及びビームスポットの照射領域端部で照射エネルギーが急激に減少することからアニールが不完全になるのを防止するため、ビームスポットの照射を、隣接する照射領域の端部が重なり合うよう行ふなどの対策を講じている。このようなレーザ照射の方法については、例えば、特開昭58-56316号公報、特開平3-72617号公報、特公平5-80159号公報、特開平5-190451号公報に様々なものが示されている。

【0007】また、エキシマレーザから照射される紫外線を、ビームホモジナイザー、光学ユニット等を介することにより長尺のビーム形状にすることもできるが、この細長いビーム形状では、例えば10cm角といった大きさのガラス基板全面を覆うことができない。このため、図7に示すように、ガラス基板1上でエキシマレーザの長尺ビームを所定の方向、例えば該長尺方向と直角方向に相対的に移動させつつ、パルスのレーザ照射を連続して行つて、ガラス基板上に堆積された大面積の多結晶または非晶質半導体層2をアニールすることが行われていた(特開平3-286518号公報参照)。なお図7中、18aはゲートバス配線を配置すべき領域、18bは該ゲートバス配線と直交するソースバス配線を配置すべき領域である。19a、19bは各バス配線の配置領域18a、18bの一端側の、各バス配線のドライバを配置すべき領域である。また、上記アニール処理は、半導体層の結晶化の場合だけでなく、不純物を含む半導体層の活性化の場合にも上記と同様に行われる。

【0008】

【発明が解決しようとする課題】しかしながら、上記ビームスポットによる照射方法では、該ビームスポットの重なり部分において照射される総エネルギー量を、該重なり部分以外の他の部分と同じにして、ビームの照射領域全体で照射エネルギーを均一なものにするのが困難である。その結果、その重なり部分で膜ストレスが増加したり表面平坦性が劣化したりして、高品質な多結晶半導体層を得ることができないという問題点があった。

【0009】また、図5に示すように、上記ビームスポ

ットを、その大きさに比べて十分小さいピッチで走査方向にずらしながら、各ピッチ毎に該ビームスポットのパルス的な照射を行っても、前記同様の問題点が生じる。これは、ビームの照射ショット間での照射エネルギー量のバラツキが数%存在するために、半導体層上での各部分において照射される総エネルギー量が均一なものとならないからである。

【0010】また、図7に示すように、長尺ビームを用いることにより、長尺方向の照射エネルギーの均一性は改善されるが、走査方向については照射エネルギーの均一性は改善されない。これは、長尺ビームの場合も上記ビームスポットの場合と同様、ビームの照射ショット間でのエネルギーのバラツキがあるからである。従って、長尺ビームの長手方向と直角方向（走査方向）にTF T特性のバラツキが発生してしまう。例えば、図7に示す長尺ビームの照射処理では、上記長尺ビームの走査方向は、ソースバス配線の延びる方向と一致しているので、該ソースバス配線と直交するゲートバス配線に沿った不良の発生を招くことになる。

【0011】この結果、高解像度の液晶パネルやイメージセンサー等においては、このようなTF T特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での不具合が、人の目に付き易いものとなってしまう。

【0012】この発明は、上記問題点を解決しようとして成されたものであり、アニール処理を施した半導体層において、長尺ビームの走査方向に照射エネルギーのバラツキが生じて、該半導体層に形成されるTF T特性のバラツキがゲートバス配線やソースバス配線に沿ったものとなるのを回避することができ、これにより高解像度の液晶パネルやイメージセンサーなどにおけるTF T特性のバラツキの影響を低減することができる半導体素子の製造方法を得ることが本発明の目的である。

【0013】

【課題を解決するための手段】この発明の半導体素子の製造方法は、絶縁性基板上に形成した多結晶または非晶質の半導体層をエネルギービームの照射によりアニールして、より大粒径の多結晶あるいは単結晶の半導体層を形成する工程と、該アニール処理を施した半導体層に所望の素子を複数形成する工程とを含み、該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行うようにしており、そのことにより上記目的が達成される。

【0014】この発明の半導体素子の製造方法は、絶縁性基板上に形成された不純物を含む単結晶、多結晶または非晶質の半導体層を、エネルギービームの照射によりアニールして該半導体層の不純物を活性化する工程と、該アニール処理を施した半導体層をコンタクト領域に用いた素子を複数形成する工程とを含み、該アニール処理は、長尺のビーム形状を有するエネルギービームを、該

半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行うようにしており、そのことにより上記目的が達成される。

【0015】

【作用】この発明においては、基板上の半導体層を長尺ビームの照射によりアニールする際、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に上記長尺ビームを走査するようにしたから、該長尺ビームの走査方向に照射エネルギーのバラツキが生じて、該半導体層に形成されるTF Tなどの素子の特性のバラツキが素子の配列方向において生ずるのを回避することができる。

【0016】これにより、画素ごとにTF Tを有する高解像度の液晶パネルやイメージセンサーなどにおいて、上記ビームの走査方向にTF T特性のバラツキが発生しても、画素の不良の発生がゲートバス配線又はソースバス配線に沿ったものとなるのを回避することができる。この結果、高解像度の液晶パネルやイメージセンサーなどにおいてTF T特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする。

【0017】

【実施例】以下、本発明の実施例について説明する。

【0018】（実施例1）図1は本発明の一実施例による半導体素子の製造方法におけるアニール処理を説明するための図、図2は該半導体素子の製造方法を工程順に説明するための図である。図において、2はガラス基板1上に形成されたアモルファスシリコン層で、該アモルファスシリコン層2上には、ゲートバス配線8aを配置すべき領域18a、及び該ゲートバス配線8aと直交するソースバス配線8bを配置すべき領域18bが設定されている。上記各バス配線の配置領域18a、18bの一端側には、それぞれ該各バス配線のドライバーを配置すべき領域19a、19bが設定されている。ここで、長尺ビームの照射領域Aは、その長手方向が上記各配線の延びる方向と平行にあるいは直角にならないよう設定されている。この照射領域Aの、上記ガラス基板1上での走査方向は、その長手方向と直角方向である。

【0019】次に製造方法について説明する。

【0020】大面積の液晶パネルや密着型イメージセンサーでは、能動素子として複数の薄膜トランジスタが絶縁性基板上に形成される。該絶縁性基板としてガラス基板1を使用し、ガラス基板1の表面にLP（液相）CVD法により550℃の着膜温度で50nmの厚膜にアモルファスシリコン膜（a-Si膜）2を堆積する（図2（a））。

【0021】次に、エキシマレーザ（XeCl 308nm）からの紫外線の照射により、上記a-Si層2のアニールを行って多結晶シリコン層（poly-Si層）2aを形成する（図2（b））。

10

20

30

40

50

【0022】上記a-Si膜2の堆積は、スパッタ法、PE（プラズマ）CVD法等で行っても良く、また、アニール処理はエキシマレーザ（KrF 248nm）で行っても良い。

【0023】エキシマレーザの長尺ビームは、エキシマレーザの出力ビームをビームホモジナイザー、光学ユニット（図示せず）等を介することにより得ることができる。例えば、5inch角の画面の基板に対しては、長尺ビームの照射領域Aは、約200mm×0.5mm角の大きさとする。この場合、長尺ビーム内でのエネルギーの均一性は±5パーセント以下にできる。

【0024】上記結晶化アニールは、エキシマレーザと基板のステージとを、長尺ビームの走査方向と基板完成時のマトリクス配線、つまりゲートバス配線またはソースバス配線とのなす角度θが0°及び90°以外の角度、好ましくは30°～60°又は120°～150°の範囲内の角度となるよう相対的に移動させることにより行う。

【0025】図1は、ガラス基板1上に堆積されたアモルファスシリコン膜2上を長尺ビームが0.5mm以下、例えば0.1mmずつ移動して、アモルファスシリコン膜2の表面全体を走査する様子を示している。

【0026】まず初めに、基板をステージ上に、長尺ビームの走査方向と、基板上に配置されるべきマトリクス配線とのなす角度θが0度及び90度以外の所定の角度となるよう載置する。ガラス基板1の紙面右側の角に長尺ビームの照射領域Aを位置させ、この照射領域Aを紙面左側方向（X方向）へ0.1mmのピッチで移動させ、1ピッチ移動させる度にレーザのパルス照射をワンショット行う。

【0027】これにより、ガラス基板1上に堆積されたアモルファスシリコン膜2の全面に渡って長尺ビームの照射領域Aによる走査が行われる。このとき照射領域におけるエネルギー密度は250mJ/cm²～450mJ/cm²とする。

【0028】なお、上記アニール処理は、アモルファスシリコン層2の全面をエネルギー密度の異なる長尺ビームで2回以上走査して行っても良いし、基板を200℃～500℃に加熱して行っても良い。

【0029】次に、多結晶シリコン層2aを島状にパターンニングして各薄膜トランジスタについて島状部3をそれぞれ形成する。次いで、TEOS（テトラエチルオルソシラン）CVD法により100nmの厚膜で酸化シリコン（SiO₂）膜を堆積してゲート絶縁膜4を形成する。その上にスパッタ法によりアルミニウム（Al）膜を堆積し、このアルミニウム膜をフォトリソグラフィ法によりパターンニングして、ゲート電極5を含むゲートバス配線8aを形成する（図2（c））。

【0030】次に、イオン注入法により島状部3に所定のイオン、例えばn-chTFTについてはリンを、p

chTFTについてはボロンを注入する。そしてエキシマレーザの照射により活性化アニールを行って不純物を活性化し、島状部3にソース領域3a及びドレイン領域3bを形成する。

【0031】この活性化アニールは、図1に示すように結晶化アニールと同様に行う。この時、エキシマレーザの長尺ビームの走査方向と基板完成時のマトリクス配線とのなす角度θが0°及び90°以外の角度、好ましくは30°～60°の範囲または120°～150°の範囲内の角度となるよう、上記長尺ビームをガラス基板に対して相対的に移動させる。これにより、ガラス基板1上に形成されたソース領域3a及びドレイン領域3bを含む島状部3上を長尺ビームが全面走査する。この時の長尺ビームの照射領域におけるエネルギー密度は250mJ/cm²～450mJ/cm²とする。

【0032】次いで、PE（プラズマ）CVD法により400nmの厚膜で窒化シリコン（SiN_x）を堆積して層間絶縁膜6を形成する。前記層間絶縁膜6はTEOS CVD法による酸化シリコン（SiO₂）でも良い。

【0033】ゲート絶縁膜4及び層間絶縁膜6の、各ソース3a領域及びドレイン領域3bに対応する部分にコンタクト孔7を開け、アルミニウム膜を堆積及びパターンニングして配線8b、8cを形成する（図2（d））。

【0034】次に作用効果について説明する。

【0035】上述したように、エキシマレーザの長尺ビームをその照射領域Aが0.1mmのピッチでずれるよう走査することにより、長尺ビーム内に走査方向におけるエネルギー密度のバラツキが存在しても、結晶化処理や活性化処理の均一化を図ることができる。これは図4に示すように小さいピッチで照射領域Aが進行していくため、照射される総エネルギー量がアモルファスシリコン層の各部分において均一となるからである。

【0036】ところが、長尺ビームの照射ショット間でのバラツキは、図5に示すように照射領域Aが小さいピッチで進行していくことからある程度は吸収され均一化されるものの、完全には均一化されず、微妙に結晶化処理や活性化処理に反映されてしまう。

【0037】この微妙なバラツキによるTFT特性のバラツキが、ゲートバス配線8aやソースバス配線8bに沿って発生すると、高解像度の液晶パネルやイメージセンサー等においては、画面表示や読み取りを行う上で、上記TFT特性のバラツキによる不具合が人の目に付き易いものとなってしまふ。

【0038】また、各バス配線のドライバーは、通常は各バス配線との接続を簡単に行えるよう、対応するバス配線の配列方向に沿って同じ回路を複数配置した構成となっている。このため、照射ショット毎のバラツキに起因してTFT特性のバラツキが例えばゲートバス配線に沿って発生すると、ソースバス配線のいくつかに集中して結晶性や活性化の不良が発生するだけでなく、この不

良の集中している配線に対応する回路も、特性不良を有するものとなる。この結果TFT特性のバラツキによる不具合がより目立ちやすいものとなる(図3(b))。

【0039】これに対し、本実施例のように、エネルギービームの走査方向を基板のマトリクス配線に対して斜めにするにより、TFT特性の微妙なバラツキがゲートバス配線8aやソースバス配線8bに沿って発生するのを回避できる。これにより高解像度の液晶パネルやイメージセンサなどにおいてTFT特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする(図3(a))。

【0040】このように本実施例では、基板上の半導体層を長尺ビームの照射によりアニールする際、基板完成時のマトリクス配線となす角度 θ が 0° 及び 90° 以外の方向に走査するので、上記ビームの長尺方向にTFT特性のバラツキが発生しても、ゲートバス配線又はソースバス配線に沿った不良の発生を回避することができる。これにより上記長尺ビームにより処理した半導体層を用いた高解像度の液晶パネルやイメージセンサー等において、画像表示や読み取りをする上での不具合を、人の目に感じにくいものとする。

【0041】なお、上記実施例では、多結晶シリコン層を薄膜トランジスタの半導体活性層として用いる場合について説明したが、多結晶シリコン層はゲート電極や配線等、として用いてもよい。また本発明は多結晶シリコン層の改質のみならず、単結晶シリコン、Ge、Si-Ge等、他の半導体膜の形成にも適用することができる。

【0042】

【発明の効果】以上のように本発明によれば、基板上の半導体層を長尺ビームの照射によりアニールする際、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に上記長尺ビームを走査するようにしたので、該長尺ビームの走査方向に照射エネルギーのバラツキが生じても、該半導体層に形成されるTFTなどの素子の特性のバラツキが素子の配列方向において生ずるのを回避することができる。

【0043】これにより、画素ごとにTFTを有する高解像度の液晶パネルやイメージセンサなどにおいて、上記ビームの走査方向にTFT特性のバラツキが発生して*

*も、画素の不良の発生がゲートバス配線又はソースバス配線に沿ったものとなるのを回避することができる。この結果、高解像度の液晶パネルやイメージセンサなどにおいてTFT特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体素子の製造方法における、長尺ビームの照射によるアニール処理を説明するための図である。

【図2】上記実施例の半導体素子の製造方法における薄膜トランジスタの製造工程を示す断面図である。

【図3】本発明及び従来のアニール処理による薄膜トランジスタを用いた液晶パネルなどでの画面表示の状態を説明する模式図である。

【図4】長尺ビーム内の走査方向でのエネルギー密度の均一な分布をグラフで示す図である。

【図5】長尺ビーム内の走査方向でのエネルギー密度の不均一な分布をグラフで示す図である。

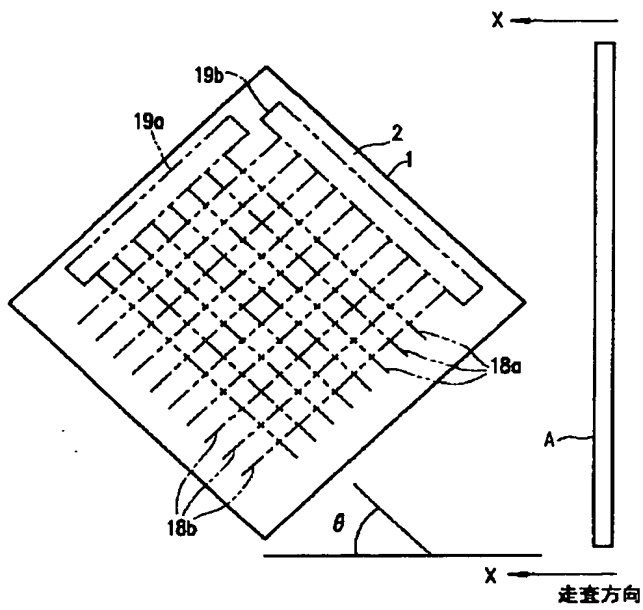
【図6】従来の半導体素子の製造方法におけるビームスポット照射によるアニール処理を説明する図である。

【図7】従来の半導体素子の製造方法における長尺ビーム照射によるアニール処理を説明する図である。

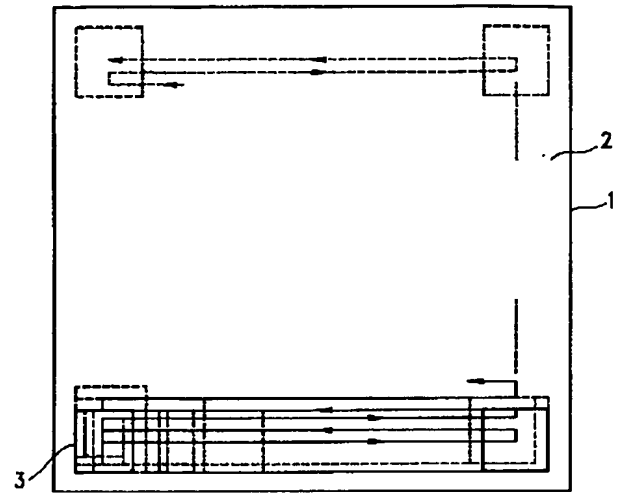
【符号の説明】

- 1 ガラス基板
- 2 アモルファスシリコン層
- 2a 多結晶シリコン層
- 3a ソース領域
- 3b ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜
- 7 コンタクト孔
- 8a ゲートバス配線
- 8b ソースバス配線
- 8c ドレイン電極(画素)
- 18a ゲートバス配線の配置領域
- 18b ソースバス配線の配置領域
- 19a, 19b ドライバーの配置領域
- A 長尺ビームの照射領域

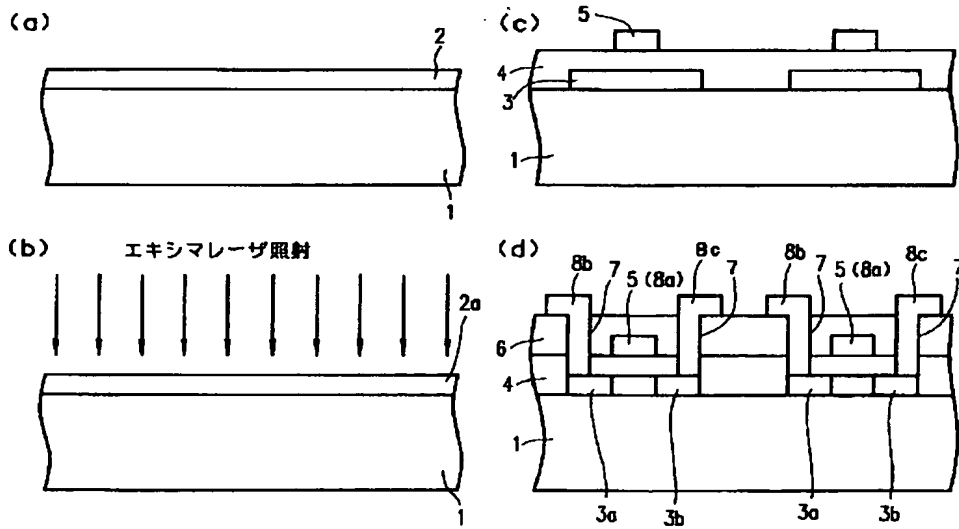
【図 1】



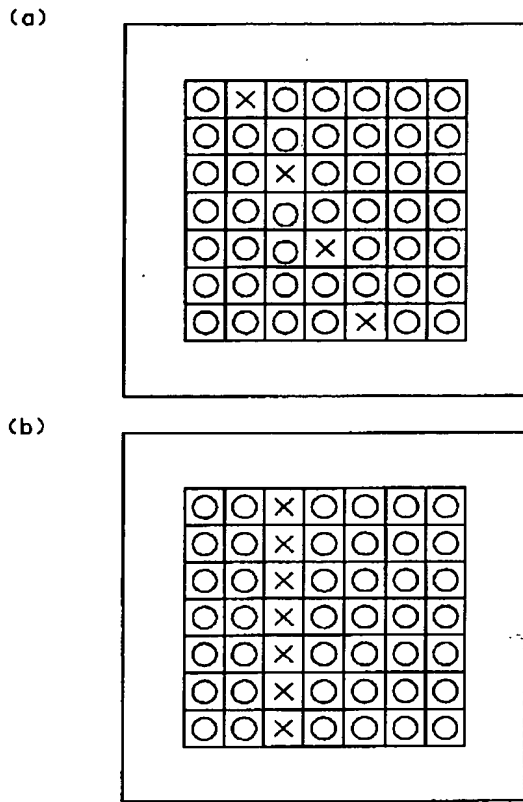
【図 6】



【図 2】

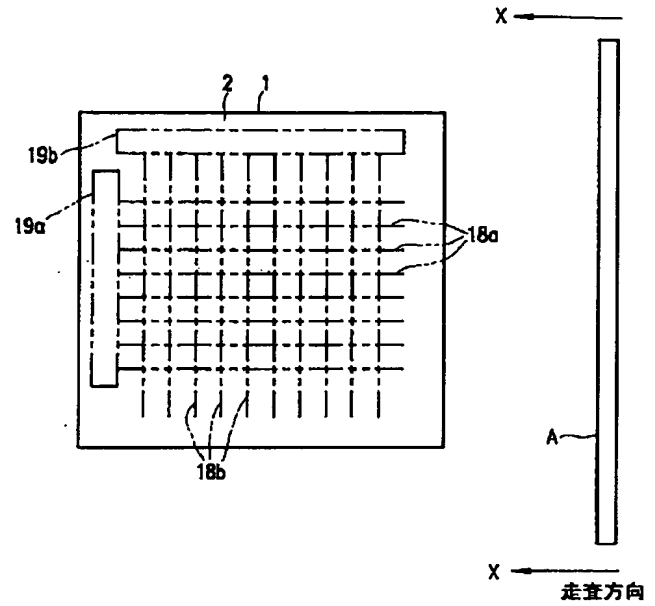


【図3】

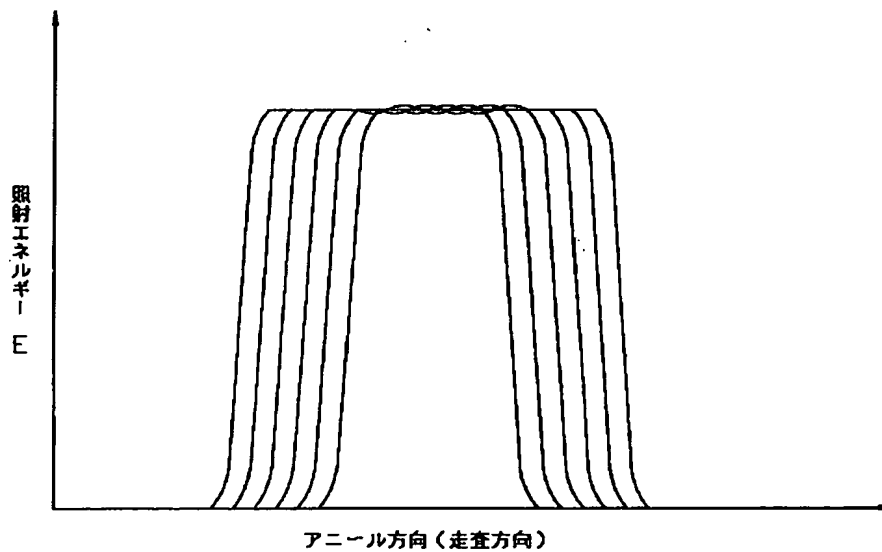


○ --- 均一なTFT特性を持つ画素
 × --- 不均一なTFT特性を持つ画素

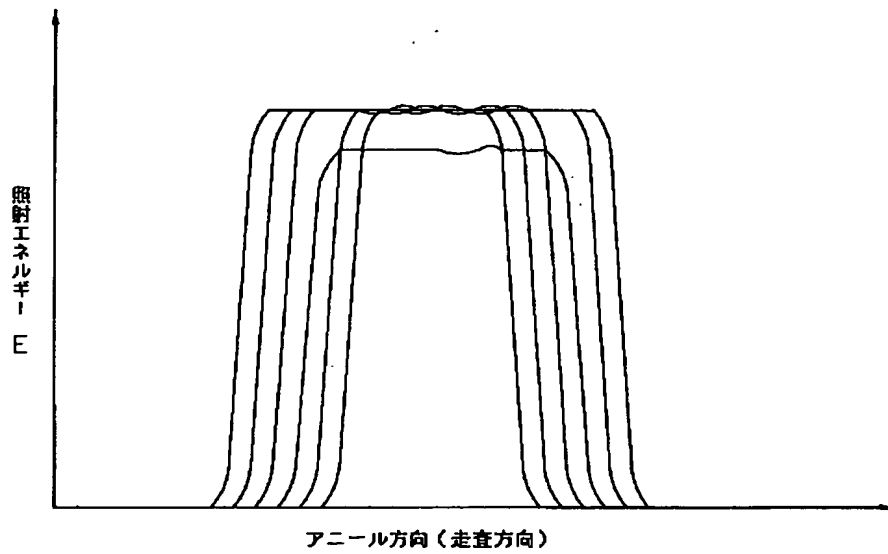
【図7】



【図4】



【図 5】



フロントページの続き(51) Int. Cl.⁶

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所